1. Архитектура, микроархитектура. Абстрактные машины. 1
2. Классификация архитектур, CISC, RISC, VLIW, EPIC. 2
3. Типы данных, поддерживаемые процессором. Режимы адресации операндов инструкции, выравнивание адресов, порядок байт в слове. 3
4. Инструкции пересылки, условные инструкции пересылки. Функциональные инструкции. Классификация. Генерация исключений. 4
5. Инструкции умножения и деления. Инструкции для программной реализации умножения и деления. Логические инструкции. 5
6. Сдвиговые инструкции. Битовые инструкции. Инструкции extract и deposit. 6
7. Инструкции сравнения и установки. Инструкции условной пересылки. 7
8. Управляющие инструкции. Связывание. Слот ожидания. 8
9. Управление механизмом предсказания ветвления. Предикатирование и нуллификация. 9
10. Регистровый файл. Стековый регистровый файл. Оконный регистровый файл. 10
11. Динамический оконный регистровый файл (регистровый стек). 11
12. Инструкции вещественного сопроцессора. 12
13. Кодирование инструкций, кодирование инструкции х86. 13
14. Обзор существующих архитектур (RISC, x86, VLIW, EPIC). 14
15. Векторные инструкции. 15
16. Целочисленные векторные инструкции Х86. 16
17. Вещественные векторные инструкции Х86. 17
18. Параллелизм уровня команд. Типы зависимостей между инструкциями. 18
19. Базовый блок. Граф потока управления. Граф потока данных. 19
20. Критерий сохранения корректности программы. 20
21. Конвейер. Характеристики конвейера. Конвейер инструкций. 21
22. Конфликты исполнения инструкций на конвейере. Типы конфликтов. 22
23. Структурные конфликты и методы их устранения. RAW конфликт и способ его устранения. 23
24. Конфликт по управлению, способы устранения, слот ожидания. 24
25. Алгоритм Томасуло. Состав процессора. Этапы исполнения инструкций. 25
26. Алгоритм Томасуло. Планирование инструкций. 26
27. Предсказание ветвления. Локальный предсказатель. 27
28. Корреляционный алгоритм предсказания. Глобальный предсказатель. 28
29. Многоуровневый адаптивный предсказатель. 29
30. Механизмы ускорения выборки инструкций. 30
31. Статический суперскалярный процессор. 1
32. Динамический суперскалярный процессор. 2
33. Спекуляция. Спекулятивный суперскалярный процессор. Основные этапы исполнения инструкций. 3
34. Построение суперскалярного процессора на основе техники переименования регистров. 4
35. Иерархия памяти. 20
36. Кэш. Организация. Ассоциативность. Поиск данных в КЭШе. 21
37. Алгоритмы: выбора строки жертвы, записи в кэш, обработки кэш промаха при записи. 25
38. Иерархия КЭШа. Предвыборка данных. Режимы индексации КЭШа. Неблокируемый кэш. 26
39. Виртуальная память. TLB. 24
40. Статический VLIW процессор. 10
41. Динамический VLIW процессор. 11
42. EPIC.Пакет инструкций – способ явного задания параллелизма уровня команд. 12
43. EPIC. Механизмы поддержки спекуляции по данным. 13
44. EPIC. Механизмы поддержки спекуляции по управлению. 14
45. Архитектура IA-64. 15
46. Параллелизм на уровне данных и на уровне задач.
47. Многопоточные процессоры. Типы многопоточных процессоров. 17
48. Спекулятивный суперскалярный процессор с поддержкой SMT. 18
49. SMP системы. Многоядерные процессоры. 19
50. Микроархитектура Sun Ultra SPARC - III 5
51. Микроархитектура Sun Ultra SPARC T1/ T2 6
52. Микроархитектура Power PC G3 7
53. Микроархитектура Power 4. 8
54. Микроархитектура Power 6. 9
55. Микроархитектура AMD K10. 16
56. Микроархитектура Intel Atom. 22
57. Микроархитектура Intel Core 2. 24
58. Микроархитектура Intel i7. 27
59. Микроархитектура Cell. 28 28
60. Микроархитектура Itanium 2. 29
61. Классификация абстрактных машин. Машины, управляемые потоком команд, машины, управляемые потоком данных, понятие архитектуры. Понятие архитектуры процессора. Плотность кода.
62. Классификация архитектур по способу хранения операндов. Классификация регистровых архитектур.
63. Режимы адресация памяти.
64. Типы и размеры операндов. Инструкции для управления потоком команд. Кодирование инструкций.
65. Архитектура MIPS.
66. Архитектура DEC Alpha.
67. Архитектура SPARC v.9. Типы данных. Регистровый файл. Инструкции загрузки сохранения. Инструкции пересылки. Арифметические и логические инструкции. Битовые инструкции.
68. Архитектура SPARC v.9. Управляющие инструкции. Слот ожидания. Типы данных, регистры, инструкции сопроцессора.
69. Архитектура IBM Power PC. Типы данных. Регистровый файл. Инструкции загрузки сохранения. Инструкции пересылки. Арифметические и логические инструкции. Битовые инструкции.
70. Архитектура IBM Power PC. Инструкции пересылки. Управляющие инструкции. Типы данных, регистры, инструкции сопроцессора.
71. Архитектура HP PA-RISC. Режимы адресации. Типы данных. Регистровый файл.
72. Архитектура HP PA-RISC. Нуллификация. Арифметические и логические инструкции. Сдвиговые инструкции. Битовые инструкции.
73. Архитектура HP PA-RISC. Инструкции пересылки. Управляющие инструкции. Инструкции вещественного сопроцессора.
74. Архитектура x86. Исторический экскурс. Регистровый файл. Типы данных. Режимы адресации.
75. Архитектура x86. Инструкции пересылки. Арифметические и логические инструкции. Битовые инструкции.
76. Архитектура x86. Управляющие инструкции.Строковые операции.
77. Архитектура сопроцессора x87.
78. Архитектура x86. Формат инструкций.
79. SIMD инструкции. Векторные компьютеры.
80. Архитектура x86. Целочисленные векторные инструкции.
81. Архитектура x86. Вещественные векторные инструкции.
82. VLIW архитектура.
83. EPIC. IA-64. Основные принципы. Регистровый файл. Типы данных. Режимы адресации. Кодирование инструкций
84. IA-64. Инструкции для работы с регистровым стеком. Арифметические инструкции. Инструкции сравнения и предикатирования. Инструкции загрузки сохранения.
85. IA-64. Инструкции ветвления. Мультимедийные инструкции. Инструкции пересылки. Битовые инструкции. Вещественные инструкции.
86. Архитектура TRIPS. Принципы. Преимущества.
87. Измерения производительности. Синтетические тесты. Пиковая производительность. Измерение параметров отдельных узлов процессора. Тесты SPEC.
88. Параллелизм уровня команд. Типа зависимостей между инструкциями.
89. Динамическое планирование исполнения инструкций.
90. Алгоритм динамического планирования Tomasulo.
91. Динамическое предсказание ветвления.
92. Механизмы доставки инструкций.
93. Статический суперскалярный процессор.
94. Динамический суперскалярный процессор.
95. Спекулятивный суперскалярный процессор.
96. Оптимизирующие компиляторы. Развертка циклов. Планирование конвейера.
97. Оптимизирующие компиляторы. Векторизация. Шаблоны векторизации.
98. Программная конвейеризация.
99. Trace планирование.
100. Иерархия памяти.
101. Ассоциативность КЭШа. Поиск нужного блока в КЭШе.
102. Стратегии замены блоков в КЭШе. Стратегии записи данных.
103. Виртуальная память.
104. Быстрое преобразование адреса (TLB).
105. Параллелизм на уровне потоков. SMP. Многоядерные процессоры.
106. Многопоточные процессоры.
107. Микро архитектура процессоров P6, Core 2.
108. Микро архитектура процессора Pentium 4.
109. Микро архитектура процессоров K7, K8, K8L.
110. Микро архитектура процессора Intel Itanium.
111. Микро архитектура процессоров Sun UltraSparc III, IV, T1, T2 .
112. Микро архитектура процессоров IBM PowerPC 750, 970, POWER6, Cell.

Дополнительные вопросы

1. Критерий сохранения корректности программы.
2. Конвейер MIPS. Разрешение структурных конфликтов, конфликтов данных, конфликтов управления.

Вопросы – задачи

1. Вопрос вычислить объем памяти, который требуется для хранения тэгов для КЭШа заданного размера, ассоциативностью, размером кэш линии?